

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-149418

(43)Date of publication of application : 12.06.1989

(51)Int.Cl.

H01L 21/20
C30B 29/06
H01L 21/84
// H01L 21/304

(21)Application number : 62-308302

(71)Applicant : CANON INC

(22)Date of filing : 06.12.1987

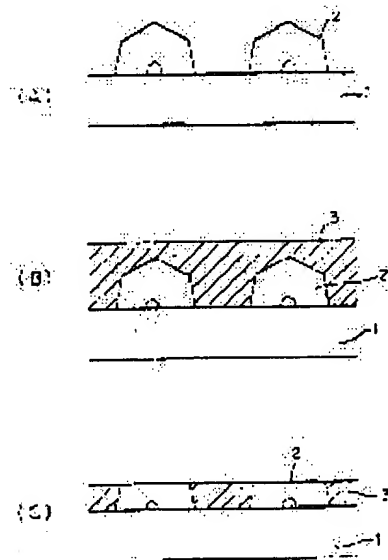
(72)Inventor : SATO NOBUHIKO
YONEHARA TAKAO
NISHIGAKI YUJI
YAMAGATA KENJI
KONDO SHIGEKI

(54) SUBSTRATE FOR ELECTRONIC ELEMENT AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To make it possible to form the title substrate into a large area as well as to prevent the generation of a stepping and a disconnection in stepped part by a method wherein the title substrate consists of a substrate having the surface of low density of nuclei formation and a plurality of single crystals grown from a plurality of seed single crystal, and the surface of the single crystal and an insulator are flattened, and they are substantially formed on the same plane surface.

CONSTITUTION: An inorganic component such as SiO_2 solution, for example, is coated on the deposition surface 1 whereon a semiconductor crystal 2 constituting an electronic element using the ordinary spin-coating method, a dipping method and the like in such a manner that the coated part becomes flat. Then, etching is conducted under the condition that the etching speed ratio of the coated film and the semiconductor grain becomes almost equal. Pertaining to etching gas, CF_4 , the mixed gas of CHF_3 , CH_2F_2 , CHF_3 and the like, or O_2 , Ar, He and the like is used, and the etching is conducted in the pressure of 0.1W1Torr. A smooth surface can be obtained using a mechanical polishing method. After the surface have been made flat, an inorganic insulating film 3 remains between semiconductor islands 2, and the adjacent semiconductor islands 2 are electrically insulated completely.



⑫ 公開特許公報(A)

平1-149418

⑤Int.Cl.⁴ 識別記号 庁内整理番号 ⑬公開 平成1年(1989)6月12日
 H 01 L 21/20 7739-5F
 C 30 B 29/06 8518-4G
 H 01 L 21/84 7739-5F
 // H 01 L 21/304 B-8831-5F 審査請求 未請求 発明の数 2 (全10頁)

⑭発明の名称 電子素子用基板及びその製造方法

⑯特 願 昭62-308302

⑰出 願 昭62(1987)12月6日

⑱発明者 佐藤 信彦 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑲発明者 米原 隆夫 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑲発明者 西垣 有二 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑲発明者 山方 憲二 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑲発明者 近藤 茂樹 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑳出願人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
 ㉑代理人 弁理士 福森 久夫

明細書

1. 発明の名称

電子素子用基板及びその製造方法

2. 特許請求の範囲

(1) 核形成密度の小さな表面(以下非核形成面という)を有する基体と;該基体に配された熱処理によって面方位が制御されている複数の種子単結晶のそれぞれから成長した複数の単結晶と;該複数の単結晶の間を充填する絶縁物を含み、かつ、該複数の単結晶のそれぞれの表面及び当該絶縁物の表面が平滑でかつ実質的に同一面内にあることを特徴とする電子素子用基板。

(2) 前記絶縁物が無機物である特許請求の範囲第1項に記載の電子素子用基板。

(3) 前記無機物が二酸化ケイ素である特許請求の範囲第2項に記載の電子素子用基板。

(4) 前記絶縁物がその溶液を塗布乾燥して充填された絶縁物である特許請求の範囲第1項乃至第3項のいずれか1項に記載の電子素子用基板。

(5) 前記絶縁物がCVD法によって充填された

絶縁物である特許請求の範囲第1項乃至第3項のいずれか1項に記載の電子素子用基板。

(6) 核形成密度の小さな表面を有する基体上に、熱処理によって面方位が制御された複数の種子結晶を形成する工程と;該種子結晶を種子として単結晶を成長させる結晶成長処理工程と;該基体及び該単結晶の全体を覆い、かつ、表面が平坦となるように絶縁物を形成する工程と;該単結晶と該絶縁物のそれぞれの表面が平滑で、かつ、実質的に同一面内にあるように平坦化する工程と;を有する電子素子用基板の製造方法。

(7) 前記絶縁物を形成する工程がその溶液を塗布乾燥して充填するものである特許請求の範囲第6項に記載の電子素子用基板の製造方法。

(8) 前記絶縁物を形成する工程がCVD法である特許請求の範囲第6項に記載の電子素子用基板の製造方法。

(9) 前記平坦化の工程がエッチングによるものである特許請求の範囲第6項乃至第8項のいずれか1項に記載の電子素子用基板の製造方法。

(10) 前記平坦化の工程が機械的研磨によるものである特許請求の範囲第6項乃至第8項のいずれか1項に記載の電子素子用基板の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、複数の単結晶からなる電子素子用基板に関し、特に表面の平坦化された電子素子用基板に関する。

〔関連技術〕

従来、電子素子用基板としては、SOI構造のものが一般的である。

しかし、SOI構造のものは下地が単結晶に限られる等の理由から、大面積化が困難である。そこで、本出願人は、核形成密度の小さな表面（以下非核形成面という）を有する基体と、当該基体に配された熱処理によって面方位が制御されている複数の種子結晶のそれぞれから成長した複数の単結晶を有する電子素子用基板を開発した。

この基板は、大面積化が可能な優れた基板である。

複数の種子単結晶のそれぞれから成長した複数の単結晶と、当該複数の単結晶間を充填する絶縁物を含み、かつ、当該複数の単結晶のそれぞれの表面及び当該絶縁物の表面が平滑でかつ実質的に同一面内にあることを特徴とする電子素子用基板によって解決される。

〔作用〕

以下に本発明をよりよく理解するために、本発明の主要な構成要件を項目別に説明を加える。

<基体>

本発明では、まず基体を用意する。基体は、表面に非核形成面（核形成密度が小さい面）を有していればその材質、形状、寸法等には特に限定されず任意の材質、形状、寸法のものを使用できる。

結局本発明で使用される基体は、非核形成面を有していれば良く、それ以外の構成的な要件は必要としない。

ここで、表面に非核形成面を有する基体とは、まず、ある基体自身の表面が非核形成面である場

〔発明が解決しようとする問題点〕

しかしながら、上記の電子素子用基板は、複数の単結晶相互が離間し、かつ単結晶の大きさが数10 μ m以上に達するため、単結晶の平坦化を行なっても各単結晶島間で、段差が生ずることもある。この段差が存在するとIC工程中で配線の段切れが発生しかねない。

本発明はかかる問題点を解決するためになされたものである。

本出願に係る第1発明は、大面積化が可能で、段差がなく、IC工程中の配線の段切れが生じない電子素子用基板を提供することを目的とする。

本出願に係る第2発明は、第1出願に係る電子素子用基板の製造が可能な電子素子用基板の製造方法を提供することを目的とする。

〔問題点を解決するための手段〕

上記問題点は、核形成密度の小さな表面（以下非核形成面という）を有する基体と、当該基体に配された熱処理によって面方位が制御されている

合は当然に該当する。例えば、SiO₂基体（ガラス、石英基板等）があげられる。また、ある基体自身の表面は非核形成面ではなくとも（例えば結晶性の基体の場合）、その基体表面に非核形成面を生ずる材料からなる膜を堆積した場合にも、表面に非核形成面を有する基体に該当する。例えば、金属、半導体、磁性体、圧電体あるいは絶縁体よりなる基板表面に、NSG膜、PSG膜、熱酸化SiO₂膜等を堆積せしめたような場合である。

結局、別言するならば、非核形成面は、基体の表面がそうである必要はなく、基板と同じか、又は異なる材質でなる非核形成面を形成する材料を堆積させたものであってもよい。

なお、非核形成面を有する膜を堆積せしめる場合における堆積方法は、例えば、CVD法、スパッタ法、LPE法、MBE法その他の任意の堆積法を用いればよい。

なお、上記において非核形成面とは、核形成密度の小さな表面のことであり、核形成密度が小さ

いとは、絶対的基準において小さい場合と、種子結晶の表面との比較において小さい場合の両者が含まれる。すなわち、非核形成面に対し種子結晶表面において選択的にエピタキシャル成長が起こり種子結晶から成長した結晶が単結晶となり、非核形成面上には、核形成及び堆積が生じなければよいので相対的基準において小さい場合も含まれる。

また、核形成密度は、温度、圧力、添加ガス（HClガス等のエッチングガスを結晶成長を行なうためのソースガスと同時に供給し、核形成を抑制すれば核形成密度は一層低くなる）その他の結晶形成処理時の条件によって変化するが、変化した条件下で、非核形成面の核形成密度は小さいほどよい。

<種子単結晶>

本発明者は、面方位の制御された（すなわち、面方位がほぼ一定の方向に配向ないし揃った）種子単結晶を非核形成面に容易に配設する方法について各種の探索を行ったところ、次の方法を発見

非核形成面に凝集するに充分薄く、かつ、単一体のまま凝集するに充分微細な面積を有する、結晶の種子となる材料を配し、該種子となる材料に熱処理を施して凝集を生起させることで面方位の制御された種子単結晶とする方法。

以上の方法について以下に詳細に説明する。

（方法1の説明）

本発明者は、ある特定の場合に、面方位が制御された多結晶を熱処理すると、制御された面方位は維持されたまま多結晶は異常粒成長して大粒径の単結晶薄膜に変質することを発見した。

そして、制御された面方位は維持されたまま単結晶に変質するか否かは表面の面積に関係していることを知見し、該面積が微小の場合に制御された面方位は維持されたまま微小面積中に粒界を含まない単結晶に変質することを確認した。

この現象は、本発明者により発見されたものであり、微小部における異常粒成長（アブノーマルグレイングロウス）、2次再結晶又は表面エネルギーを駆動力とした2次再結晶の作用であると考

した。なお、熱処理によって面方位の制御された種子単結晶とは、例えば以下の方法で形成された種子結晶である。

（方法1）

非核形成面に、表面の面方位が方位制御され、かつ、表面の面積が微小な薄膜の種子多結晶を配し、次に該多結晶を熱処理することにより該多結晶を種子単結晶とする方法。

（方法2）

非核形成面に熔融固化されることで単結晶化するに充分微小な大きさを有する、結晶成長の種子となる材料を配し、前記種子となる材料に熱処理を施して熔融固化することで面方位の制御された種子単結晶とする方法。

（方法3）

非核形成面に結晶成長の種子となる材料で形成された微小な非晶質体を配し当該非晶質体に熱処理を施すことにより面方位の制御された種子単結晶とする方法。

（方法4）

えられる。

・多結晶

・方位制御

所望の面方位に制御するには、該所望の面方位に応じた堆積法において所定の堆積条件に設定すればよい。

・厚さ

種子多結晶の厚さとしては、1 μm 以下が好ましく、より好ましくは0.5 μm 以下である。

・面積

面積が微小であることは熱処理と関係し、微小であるほど単結晶に変質しやすい。粒径で面積を表わすと、10 μm 以下が好ましく、より好ましくは5 μm 以下である。

・熱処理

面方位制御された微小な面積の薄膜の種子多結晶は、熱処理を行うことより固相で面方位制御された微小な種子単結晶に変質する。

例えば、Si又は、Geからなる数百Åの粒径で1 μm 以下、好ましくは0.5 μm 以下の厚さ

で、最長 $10\mu\text{m}$ 以下、好ましくは $5\mu\text{m}$ 以下の大きさの方位制御された種子多結晶は、温度 $700\sim 1300^\circ\text{C}$ で数 10 分～数時間の熱処理を施す事により該種子多結晶と同一の方位に制御された粒界を含まない種子単結晶に粒成長し変質する。方位制御された種子多結晶膜の材質、厚さ、大きさ、熱処理の温度のパラメータは、相互に関係するものである。種子多結晶膜の厚さが薄い程および大きさが小さい程、単結晶化し易い。

熱処理の好ましい温度は、種子多結晶の材質の融点の関係から材質により変わる、例えばSi多結晶膜の時は $800\sim 1400^\circ\text{C}$ が好ましく、Ge種子多結晶の場合は $600\sim 900^\circ\text{C}$ が好ましい。

熱処理温度の具体的な温度は上記したとおりであるが、Si、Ge以外の材質の場合は、概略として、 $T_m \times 0.4$ 以上の温度で熱処理を行えばよい。ただし、 T_m は絶対温度における融点である。ただ、多結晶の結晶状態（各種の結晶欠陥の

・種子となる材料

種子となる材料は非晶質でも多結晶でもよい。非晶質あるいは多結晶の材料としては、減圧CVD法、プラズマCVD法、光CVD法、EB（エレクトロンビーム）蒸着法、スパッタ法、MBE法などで堆積した非晶質シリコン、非晶質ゲルマニウム、結晶方位のそろっていない多結晶シリコン、結晶方位のそろっていない多結晶ゲルマニウム、配向した（基板に垂直な結晶方位がほぼそろった）多結晶シリコン、配向した多結晶ゲルマニウムなどを用いることができる。

この種子となる材料は後述する熔融固化されることで単結晶化するに十分微小な大きさである。なお、この材料を以下スポット状の膜あるいは微粒子ということがある。

・熔融固化

本方法では、上記スポット状の膜に熱処理を施して熔融固化することで面方位の制御された種子単結晶とする。スポット状の堆積膜を熔融固化して種子単結晶に変えるためには、例えばエネ

有無、例えば不純物、空孔の存在等）により上記温度は変動するが、その都度、熱処理温度は適宜選択すればよい。

なお、種子多結晶膜に第3族系の元素であるB、Al、Ga、In、Tlや、第5族系の元素であるP、As、Sb、Bi等の不純物を添加すると粒界に沿って原子の易動度が増加、あるいは粒界を越えて原子がジャンプする頻度が促進され、粒界の易動速度が極めて増速される。すなわち、固相における異常な粒成長が誘起されるので、熱処理に先立ち、多結晶にかかる不純物を注入することが好ましい。

（方法2の説明）

方法2は、核形成密度の小さい非核形成面に、熔融固化されることで単結晶化するに十分微小な大きさを有する、結晶成長の種子となる材料を配し、前記種子となる材料に熱処理を施して熔融固化することで面方位の制御された種子単結晶とし、該種子単結晶を種子として単結晶を成長させることを特徴とする結晶の成長方法である。

ルギービームを照射すればよい。照射するエネルギービームとしては、各種レーザー（例えばCO₂レーザー、エキシマレーザー、Arレーザー）、電子線、各種ランプなどを用いることができる。

なお、熱処理条件によっては面方位が制御されないことがあるが、照射条件、冷却条件等を適宜選択することにより面方位を制御する。

（方法3の説明）

方法3の非晶質体としては減圧CVD法、プラズマCVD法、光CVD法、EB（エレクトロンビーム）蒸着法、スパッタ法、MBE法などで堆積した非晶質シリコン、非晶質ゲルマニウム、などを用いることができる。

非晶質体は微小である。その厚さには特に限定されないが、 $1\mu\text{m}$ 以下が好ましく、 $0.5\mu\text{m}$ 以下がより好ましい。また、パターンニングされた領域の大きさは、 $10\mu\text{m}$ 角以下が好ましく、 $5\mu\text{m}$ 角以下がより好ましい。

・熱処理

方法3における熱処理は、 $T_m \times 0.4$ 以上が好ましい(ただし、 T_m は絶対温度における融点)。

なお、種子結晶の材料としてSiを例にとると、実際のSiの融点は約 $1420 \sim 1450^\circ\text{C}$ であり、単結晶化するための温度も高温となり、実際のプロセスには高温すぎて必ずしも好ましくない。そこで、不純物(例えばP)をドーピングした。Pを高濃度にドーピングすることによって熱処理可能温度は約 800°C まで一気に下がる。この事実によって非晶質Siの熱処理法がプロセス温度付近でより一層実用的に達成できる。

ドーピング元素としては、例えばP、Asの第5族元素あるいはBの第3族元素が好ましい。その量としては $1 \times 10^{20}/\text{cm}^2$ 以上が好ましく、より好ましくはドーピング元素のSiに対する固溶限付近がよい。ただし、固溶限は各元素によって、また、温度によって異なる。例えば、Siに対してAsは約 $2 \times 10^{21}/\text{cm}^2$ 、Pは

$0.1 \mu\text{m}$ 以下の膜厚が好ましい。

また、面積として、単一体のまま凝集するに充分微細な面積を有する。例えば、パターニングで径で $7 \mu\text{m}$ 以下が好ましく、 $2 \mu\text{m}$ 以下がより好ましい。

以下この材料を超薄膜という場合がある。

・熱処理・凝集

本発明では上述した結晶の種子となる材料に熱処理を施して凝集を生起させる。すなわち、上述した結晶の種子となる材料に融点以下の温度で熱処理を施すと(例えばAr中で $750^\circ\text{C} \times 1$ 時間)、あたかも、液相の様に凝集現象が起こり、該超薄膜は凝集体となる。そして、その特徴的な点は、形成された凝集体は、単結晶であり、かつ、その面方位は一定の方位を有しているという点である。つまり、本方法は、凝集時単結晶化現象を利用し、方位の揃った種子単結晶を配置する。なお、上記の凝集化現象は、表面エネルギーを最小にするため、固相でも原子が移動することを示している。

約 $1 \times 10^{21}/\text{cm}^2$ 、Bは約 $4 \times 10^{20}/\text{cm}^2 \sim 6 \times 10^{20}/\text{cm}^2$ である。

また、この熱処理法による単結晶化は、多結晶を用いても充分可能であることもわかっているが、非晶質の方が多結晶に比べてアニール効果(すなわち、単結晶化のしやすさ)が大きい。

本方法において形成した単結晶種子には、(111)配向性がある。何故非晶質Siを用いてアニールしたものが(111)面を形成するかはまだはっきりとはわかっていないが、活性化されたSiが再結晶化する際に、(111)面を基板平行面にする再結晶化が最もエネルギー的に安定しているためだと考えられる。

(方法4の説明)

・種子となる材料

種子となる材料は、多結晶でも非晶質でもよく、また、その材料としては、Ge、Si等があげられる。

この材料の厚さは、後述する熱処理を施した時に凝集するに充分薄い厚さである。例えば、

結局、本方法の結晶の種子となる材料のような超薄膜の場合、体積に対する表面積の占める割合が著しく増大し、その結果、表面エネルギーの減少を駆動力として融点よりはるかに低い温度で凝集現象が起こる。なお、他の材料の場合にも同様の現象が得られる。

また、本方法における結晶の種子となる材料は、単一体のまま凝集するに充分微細な面積を有しているので、熱処理によって分裂することなく単一性は保持される。

以上の4つの方法において、種子結晶は同一基体に1個のみ配設してもよいし複数個配設してもよい。1個配設する時、基体に配する多結晶膜の位置は、成長する結晶における中心の位置とほぼ一致する。

また、複数個配設する場合においては、位置及び粒径が制御された多結晶膜を望む場合には各種子結晶間の距離を成長させたい各単結晶の大きさに合わせればよい。

<結晶形成処理>

基体の非核形成面に種子単結晶を配設した後は結晶形成処理を行なう。結晶形成処理とは、種子単結晶を種子として結晶成長をせしめ、より大きな単結晶とする処理である。

結晶形成処理の方法としては、例えば、CVD法、LPE法、MOCVD法等があげられるが、もちろんこれらの方法以外の方法を用いてもよい。

なお、結晶成長させる材質は、種子単結晶の材質と同一でもよいし異なってもよい。例えば、種子単結晶をGeとした場合、結晶成長させる材質はGe、Si、GaAs、GaAlAsその他の化合物半導体とすることができる。また、種子単結晶がSiの場合にも同様に結晶成長させる材質はGe、Si、GaAs、GaAlAsその他の化合物半導体とすることができる。

以下に結晶成長の作用を説明する。

その基本原理は、選択エピタキシャル成長とエピタキシャル横方向成長の原理にある。選択エピタキシャル成長を説明する前に、本発明の理解を

ル成長の場合は、表面エネルギー、付着係数、表面拡散速度等の結晶成長過程での核形成を左右する因子の材料間での差を利用して、基板上に選択的にエピタキシャル成長を行なわしめるものである。

すなわち、基体上における安定核の発生を抑止し（従って、基体からの結晶成長は生じない）、種子単結晶表面からのみエピタキシャル成長を行なわしめるものである。

本発明では、基体表面は非核形成面であるので、かかる、安定核の発生は抑制され、種子単結晶のみから選択的に結晶成長が生ずる。

さらに、本発明においては、種子単結晶表面から次第に結晶は、横方向にもエピタキシャル成長し、やがて基体を覆う形で単結晶が形成されていく。

なお、非核形成面となる理由は、次のように考えられる。

一般的には飛来原子の基板表面上で表面拡散距離が異常に大きいか、あるいは吸着係数が異常に

容易にするために、一般的な結晶成長のメカニズムを以下に説明する。

・一般的メカニズム

堆積面の基板が、飛来する原子と異なる種類の材料、特に非晶質材料よりなる場合、飛来する原子は基板表面を自由に拡散し、又は、再蒸発する。そして原子同志の衝突の末、核が形成され、その自由エネルギーGの変化 ΔG が最大となるような核（この核は一般に安定核、成長核あるいは臨界核と呼ばれる）の大きさ r_c 以上になると、 ΔG は減少し、核は安定に三次元的に成長を続け、島状となる。

このように核が成長して島状になり、更に成長して島同志が接触して網目状に基板表面を覆い、最後に連続膜となって基板表面を完全に覆う。このような過程を経て基板上に薄膜が堆積する。特に基体が非晶質の場合に良好な多結晶薄膜となる。

・選択エピタキシャル成長

上記した一般的成長に対し、選択エピタキシャ

小さい事に起因する。また、飛来原子と基板物質が化学反応を起こし、生成物質の蒸気圧が高く、蒸発してしまう事もある。

例えば、SiをSiO₂基体上に900℃以上で堆積させると、



となりSiは堆積できない(T.Yonehara et al. J.A.P.53,P.6839, 1982)。

また、



の反応も起こり得る。また、吸着原子と反応する添加ガスを送る事も可能であり、吸着原子は総てエッチングされてしまう。例えばSi、Geに対してHClが有効である。主に、H₂ガスのSiO₂基板表面吸着によって、SiのSiO₂上の吸着サイトが皆無となる事もある(W.A.P. Classen & Bloem, J.Electro-chemical Society, 128, 1353, 1981)。

このような非核形成とする条件は、温度、圧力、供給される原料ガスの流量等を調整すれば得

られる。

さらに、本発明では、種子単結晶の表面の方位は方位制御されており、表面が方位制御された単結晶を種子単結晶として選択エピタキシャル成長と横方向エピタキシャル成長を行うと、表面から成長した単結晶の面方位は一定しており、その単結晶に半導体装置を形成した場合にその特性が一定していることは、本発明による幾多の実験により確認されているところである。

以上のように結晶形成処理の成長させる材料としては、Ge、Si、GaAs、GaAlAs等があげられる。すなわち、ホモエピタキシャル成長、ヘテロエピタキシャル成長のどちらをも行うことができる。

本発明の非晶質絶縁基板上的単結晶シリコン微粒子を単結晶のまま2次元あるいは3次元的に成長させる方法としては、CVDエピタキシャル成長法や液相エピタキシャル成長法などを用いることができる。CVDエピタキシャル成長法に用いるソースガスとしては、 SiH_4 、

本発明によれば、このようにして成長させた1 μm 以上という大きな段差をもつ単結晶の平坦化のみならず、結単結晶の絶縁分離をも可能である。

(以下余白)

SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 Si_2H_6 などが用いられる。エッチングガスとしては HCl 、 F_2 、 Cl_2 、 CHF_3 、 CF_4 、 CCl_2F_2 、 CCl_4 、 F などを用いることができる。このエッチングガスの存在が、 SiO_2 上へのシリコンの直接堆積をおさえるのに重要である。基板温度はソースガスの種類により異なるが、800～1100℃、圧力は減圧がよく、20～200 Torr程度である。液相エピタキシャル成長法のソース溶液としては、Snを溶媒としたSi溶液、Gaを溶媒としたSi溶液などを用いることができる。Sn溶媒の場合、例えば成長温度900℃、冷却速度0.2℃/minで結晶成長が可能である。

また、本発明の非晶質絶縁物基板上的ゲルマニウム単結晶微粒子を種子にてGaAsなどの単結晶をヘテロエピタキシャル成長させて大きなGaAsなどの単結晶を得る方法としてはMOCVD法、液相エピタキシャル法などがある。

[実施例]

(実施例1)

本実施例では、Si多結晶を出発種子結晶とし、 $\langle 110 \rangle$ の面方位を持つSi単結晶(以下結晶島ということがある)を80 μm 径の大きさまで気相成長させた。

以下に本実施例を詳細に説明する。

本実施例においては、基板として4 inchのSi単結晶ウエハを使用した。このSi単結晶ウエハを熱酸化処理することにより、その表面に約2000 Å厚の SiO_2 層を形成した。本実施例ではこの SiO_2 層が非核形成面を形成している。

次に、この SiO_2 層上に、LPCVD法により以下の条件でSi薄膜を形成し、核形成密度の小さい堆積面とした。

圧力: 1.0 Torr

使用ガス: SiH_4 (He希釈)

温度: 650℃

膜厚: 500 Å

X線回折によりこのSi薄膜の面方位を測定したところ、その面方位は $\langle 110 \rangle$ であり、他の方位は観察されなかった。

また、このSi薄膜を透過電子顕微鏡で観察し、その粒径を測定したところ、約500Åの多結晶薄膜である事がわかった。

この得られたSi薄膜に、 POCl_3 によるリンガラス堆積(条件: 950℃、30min)により $7.5 \times 10^{20} / \text{cm}^3$ のPをドーピングした。

次に、ステッパーを用いたフォトリソグラフとSF₆ガスによる反応性イオンエッチング(RIE)により、格子状に100μm間隔で配列した1μm角の微小な多結晶が 5×100 個存在する部位を残し、その他の部分をエッチングした。

次に、熱処理炉にてN₂ガス中で1100℃ \times 30min熱処理を行った。熱処理後、透過電子顕微鏡で結晶粒界の有無を調べたところ、1μm角の中に結晶粒界はなかった。

Si単結晶の堆積、成長はなかった。

単結晶を、微小部X線回折装置において30μmφに絞ったX線を使用してその面方位を測定したところ、 $\langle 110 \rangle$ の面方位を有していた。

第1図(A)はこのようにして成長させた単結晶の様子を示す。

次に第1図(A)～(C)を参照して平坦化工程を説明する。

後にトランジスタ等の電子素子を形成する半導体結晶2が形成された堆積面1に無機成分、例えばSiO₂の溶解液を、通常のスピン塗布法、ディッピング、吹きつけ、刷毛塗り等の方法により塗布面が平滑になる様に塗布する。例えば、スピン回転数800rpm、液滴下量3cc、塗布時間15sec、塗布後ベーク温度200℃のサイクルを数回繰り返すことにより、第1図(B)に示す様に、塗布膜表面が平坦になる。第1図(B)の様な平滑面を得るには溶液の濃(粘)度及びスピン条件が大きく影響する。溶液濃度は

上記の測定後、CVD装置に投入し、次の条件でSi結晶形成処理、すなわち、ホモエピタキシャル成長を行なわしめ単結晶を形成した。

圧力: 150 Torr

エッチングガス: HCl 1ℓ/min

キャリアガス: H_2 100ℓ/min

使用ガス: SiH_4 , Cl_2

流量: 0.6ℓ/min

温度: 950℃

結晶形成処理時間: 60min

結晶形成処理を施した後、CVD装置から取り出し、金属顕微鏡により、成長した単結晶(結晶島ともいう)を観察した。単結晶は良好なファセットを有しており、また、その粒径は80μmで、粒径分布(各単結晶間における粒径のバラツキ)が殆どなかった。また、 50×100 個の単結晶は、出発種子結晶である多結晶膜を配した位置を中心に形成されており、その周辺のSiO₂膜上を80μm径の範囲にわたり覆っていた。この結晶島の存在しない領域のSiO₂膜上には、

3%以上、スピン回転数5000rpm以下であることが望ましい。

ディッピング法によっても第1図(B)の様な平滑な面が得られる。濃度3%以上、引き上げ速度10cm/min～100cm/min、ベーク温度150～500℃の条件において達成される。

次に、RIE(リアクティブイオンエッチング)により、塗布膜と半導体粒子のエッチング速度比がほぼ1になる条件でエッチングを行なう(第1図(C))。エッチングガスとしては、 CF_4 、 CHF_3 、 CH_2F_2 、 CHF_3 、 C_2F_6 、 SF_6 、 CHCl_3 、 F 、 $\text{C}_2\text{Cl}_2\text{F}_2$ 等あるいはO₂、Ar、He等との混合ガスを用い、圧力0.1～1Torrでエッチングを行なう。あるいはポリッシングの等の機械的研磨によっても第1図(C)の様な平滑面が得られる。

上述の様に平坦化を行なった後、半導体島2の間には、無機絶縁膜、例えばSiO₂膜が残る、

隣接する半導体層2は完全に電氣的に絶縁される。

SiO_2 溶液のかわりに、CVD法により SiO_2 膜も利用できる。一般に、CVD法による堆積膜は急峻な段差上でオーバーハング状になることが知られているために、堆積させた後、リフローと呼ばれる高温処理をする必要がある。通常900～1200℃程の加熱処理により達成される。

リフローした後、前述のようなRIE、ラッピング等の研磨等により平坦化を行なう。この場合も半導体層2間は SiO_2 で埋めつくされ、各半導体層は完全に電氣的に分離される。

堆積面上への単結晶の形成は上記実施例1の他に以下の実施例に示す方法もある。

(実施例2)

本実施例では堆積面として、250mm角の石英ガラス基板を用い、前記基板上に、減圧CVD法で多結晶シリコン膜を0.5 μm 堆積した。堆積条件は、 SiH_4 ガス流量50sccm、ガス

H_2 を100 ℓ/min 流して、圧力を150 Torrに保ちシリコン単結晶微粒子を種子として結晶成長させたところ、30分間で直径約40 μm の大きなシリコン単結晶になった。この成長条件ではシリコン原子は石英ガラス(非晶質 SiO_2) 上には直接堆積せず、シリコン単結晶微粒子上のみ堆積する。従って単結晶シリコンがエピタキシャル成長して、単結晶のまま少しずつ大きくなっていき、 SiO_2 上を覆っていくのである。この大きく成長したシリコン単結晶をマイクロX線回折装置(理学電気製)で調べた結果、シリコン単結晶の面方位(基板に平行な面の結晶方位)が(100)にそろっていた。したがって種子であるシリコン単結晶微粒子の面方位も(100)にそろっていたと推測できる。

(実施例3)

上記実施例では、Si単結晶を選択的にホモエピタキシャル成長させたが、GaAs単結晶を形成する場合にはSi種子結晶あるいはGe種子結晶を用いてヘテロエピタキシャル成長を行なうこ

圧力0.3 Torr、基板温度700℃、堆積時間30分とした。この多結晶シリコン膜をX線回折で調べたところ、(100)面が基板に平行となるように強く配向した膜であった。

次に通常の半導体のフォトリソグラフィ工程により、多結晶シリコン膜を直径約1 μm のスポット状に50 μm 間隔にパターニングした。

次に出力4WのArイオンレーザーを光学系でレーザースポット径約80 μm に絞り、基板を移動しながらレーザーを走査し照射した。その結果スポット状の多結晶シリコン膜が熔融固化し、シリコン単結晶微粒子に変わった。この微粒子が単結晶であることはTEM(透過電子顕微鏡)観察により確認した。

次にシリコン単結晶微粒子が50 μm 間隔に多数形成された石英ガラス基板をCVDエピタキシャル装置にセットし、基板温度を950℃に保った。そしてソースガスとして SiH_2Cl_2 を0.6 ℓ/min 、エッチングガスとして HCl を1 ℓ/min 、キャリアガスとして

とも可能である。これに基づいてGe種子結晶として使用する場合は以下の通りである。

非晶質Geを SiO_2 上にスパッタ蒸着し、不純物をドーピングし、前記実施例と同様にパターニングし、アニールする。Geは融点は930℃前後であるが、不純物をドーピングすることによって、600～700℃でのアニールにより単結晶化が可能である。単結晶化したGeは、Si同様、面でも単結晶方位は揃っているが、非晶質Geの蒸着温度を変えることにより面方位を変えることができる。

(実施例4)

①基板上に常圧CVD法(温度400℃)で SiO_2 層を堆積してこれを堆積面としてこの上に、RFスパッタ法により、800℃で、Geよりなる超薄膜(本例では200 \AA)を堆積する(第2図(A))。この超薄膜の面方位は<100>であった。

②次に、2 μm 角で、100 μm 間隔にパターニングする(第2図(B))。パターニング法と

しては、フォトリソグラフと反応性エッチングを用いた。

③次に、Ar中で、750℃×1時間熱処理する。かかる熱処理を行なうと、超薄膜は、あたかも、液相の様に凝集現象が起こり、凝集体が得られた(第2図(C))。

透過電子顕微鏡による観察から、各々のGe凝集体は内部に粒界をもたない単結晶であり、 $\langle 100 \rangle$ に面方位が揃っていることが確認された。すなわち、面方位は熱処理前の面方位が維持されていた。

④次にSi、GaAsを液相から成長させた。Siの場合には、SiをSn溶剤を用いて融解し、900℃で成長させた。冷却速度は0.2℃/分であった。本方法では完全な単結晶が平坦にSiO₂上へ横方向成長し、しかも、CVD法と同様に面方位の揃った単結晶島を成長させることが可能であった。

GaAsの場合には、Ga溶媒を用い冷却速度は0.7℃/分であり、成長温度750℃で行っ

た。15分程で70～100μm程の大型の単結晶島が成長され、しかも、方位が揃っていることが微小X線回折で確認された。

実施例2～4で得られた半導体結晶について実施例1と同様な平坦化工程を施すことにより本発明の電子素子用基板を得た。

〔発明の効果〕

以上説明したように、本発明においては、1μm以上という大きな段差を持つ半導体粒の平坦化と同時に各半導体島の電気的絶縁分離をも可能にすることができ³⁾という効果がある。従って、本発明の基板は、半導体素子をはじめ、各種電子素子用基板として有効である。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す工程図である。

1…基板、2…半導体結晶、3…無機絶縁膜。

第1図

